



Σχεδιασμός Πλήρους Αθροιστή/Αφαιρέτη

ΕΡΓΑΣΤΗΡΙΟ ΥΛΙΚΟΥ 3

Μέρος Α (I-IV, προηγούμενο εργαστήριο λογισμικού)

Βεβαιωθείτε ότι οι υπεύθυνοι του εργαστηρίου έχουν πρώτα εγκρίνει τους σχεδιασμούς σας της προηγούμενης εβδομάδας (διαγράμματα και προσομοιώσεις) πριν προχωρήσετε στην υλοποίηση. **Όλα τα κομμάτια του Μέρους Α ΠΡΕΠΕΙ να συμπληρωθούν πριν την έναρξη αυτού του εργαστηρίου, για να μπορείτε να προχωρήσετε στο Μέρος Β.Ι.**

Μέρος Β.Ι.

Ο σκοπός αυτής της εργαστηριακής άσκησης είναι η πειραματική επαλήθευση της λειτουργίας του αθροιστή/αφαιρέτη των 4-bit που προσομοιώθηκε στο μέρος Α.IV. Οι δύο 4-bit αριθμοί θα εισαχθούν από τους διακόπτες που είναι άμεσα συνδεδεμένοι με το FLEX 10K μέσω των pins 33 έως 41, εξαιρουμένου του pin 37 (βλέπε σελ. 11 του εγχειριδίου του Altera UP2). Η επιλογή μεταξύ πρόσθεσης και αφαίρεσης θα γίνεται με ένα διακόπτη πίεσης. Στην είσοδο SUB θα μπει ένας αντιστροφέας, έτσι που το κύκλωμα να λειτουργεί σαν αφαιρέτης όταν το κουμπί δεν είναι πατημένο και σαν αθροιστής όταν είναι πατημένο. Η έξοδος θα εμφανιστεί και θα ελεγχθεί στο SSD (Seven-Segment Display) που είναι συνδεδεμένο στο ολοκληρωμένο. Για να μπορούμε να βλέπουμε το δεκαδικό ισοδύναμο του αριθμού πρέπει να γίνει μετατροπή από δυαδικό κώδικα σε κώδικα SSD. Αυτό θα γίνει με την χρήση ενός αποκωδικοποιητή από δεκαεξαδικό-σε-SSD (Hex to Seven-Segment Display Decoder) (το 4-bit δυαδικό θεωρείτε ως ένα δεκαεξαδικό ψηφίο). Πιθανό κρατούμενο (1-bit) θα παρουσιάζεται στο ψηφίο υποδιαστολής του SSD.

1. Ανοίξετε το σχηματικό lab3_fas4.gdf στον Graphic Editor.
2. Τοποθετήστε μια πύλη not στην είσοδο SUB και μια στην έξοδο Cout .
3. Επιλέξτε **User Libraries** (Options menu). Προσθέστε τον κατάλογο UP1core library functions ο οποίος βρίσκεται στον κατάλογο του μαθήματος (περισσότερες λεπτομέρειες από τους υπεύθυνους του εργαστηρίου).

Ο αποκωδικοποιητής Hex to Seven-Segment Display (μαζί με άλλες χρήσιμες υλοποιήσεις για την πλακέτα UP2) υπάρχει σε αυτόν τον κατάλογο. Μετατρέποντας τον κατάλογο σε μια βιβλιοθήκη χρήστη (user library) μπορείτε να εισάγεται οποιοσδήποτε από αυτές τις έτοιμες υλοποιήσεις μέσω του παραθύρου διαλόγου Enter Symbol όπως κάνετε και για τις απλές πύλες στους σχεδιασμούς σας.

4. Εισάγετε ένα σύμβολο dec_7seg στο σχεδιασμό σας.

Κάντε Double click στο σύμβολο για να δείτε την περιγραφή του σε γλώσσα περιγραφής υλικού (VHDL).

5. Διαγράψτε την έξοδο Z[3..0] και συνδέστε τους ασύνδετους κόμβους στις εισόδους του συμβόλου dec_7seg.

Επειδή έχετε διαγράψει την βασική θύρα εξόδου, θα πρέπει τώρα να ονομάσετε κατάλληλα τις εξόδους Z0, Z1, Z2 και Z3 ώστε να συνεχίσουν να συνδέονται στις εξόδους των συμβόλων του lab3_fas.

6. Εισάγετε 7 νέες θύρες εξόδου. Ονομάστε τις με τη σειρά, με τα γράμματα από a έως g.

7. Συνδέστε τις εξόδους του dec_7seg με τις αντίστοιχες θύρες εξόδου.

8. Επιλέξτε το ολοκληρωμένο FLEX 10K EPF10K70RC240-4 για το Project σας.

9. Αναθέστε στο pin 28 (push button 1) στην είσοδο SUB.

10. Αναθέστε στα pins 38 έως 41 τις εισόδους X0 έως X3, αντίστοιχα.

Χρησιμοποιήστε το Pin/Location/Chip (Assign menu) για να θέσετε το αριθμό του pin για κάθε μία από τις εισόδους.

11. Αναθέστε στα pins 33 έως 36 τις εισόδους Y0 έως Y3, αντίστοιχα.

12. Αναθέστε στο pin 25 (decimal point) την έξοδο Cout.

13. Αναθέστε στα pins 17 έως 24 (εκτός του 22) τις εξόδους a έως g, αντίστοιχα.

14. Αποθηκεύστε και ελέγξτε το σχηματικό σας.

15. Ανοίξτε την εφαρμογή του Compiler. Από-επιλέξτε όλες τις επιλογές για Extractor (Processing menu).

16. Προετοιμάστε την πλακέτα UP2 για να κατεβάσετε τον σχεδιασμό σας στο ολοκληρωμένο FLEX 10K.

Ανατρέξτε στις εργαστηριακές ασκήσεις 2 και 1 για περισσότερες οδηγίες για το πώς πρέπει να προετοιμαστεί η πλακέτα UP2 και το λογισμικό MAX+PLUS II για να «κατεβεί» ο σχεδιασμός σας.

17. Ανοίξτε την εφαρμογή Programmer και πατήστε Configure για να κατεβάσετε τον σχεδιασμό σας στο ολοκληρωμένο.

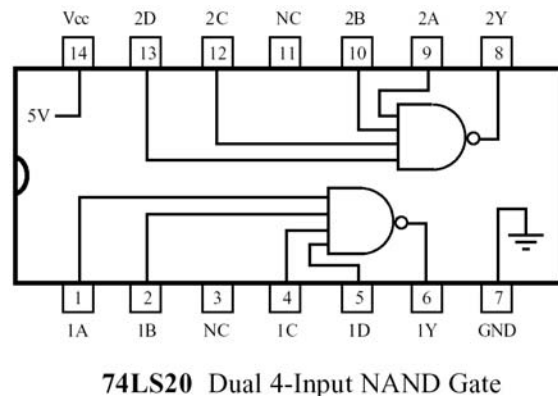
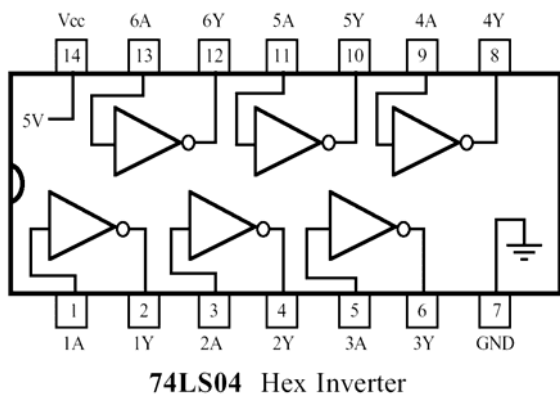
18. Ελέγξτε την ορθότητα της λειτουργίας του αθροιστή/αφαιρέτη για διάφορες τιμές εισόδου.

19. Σημειώστε και σχολιάστε οποιεσδήποτε δυσκολίες έχετε συναντήσει με την χρήση της πλακέτα και περιγράψτε τα βήματα που ακολουθήσατε για να τις αντιμετωπίσετε.

Μέρος Β.ΙΙ

Σκοπός αυτής της άσκησης είναι να επαληθεύσετε πειραματικά την λειτουργία του πλήρη αθροιστή 1-bit που φτιάξατε, τόσο με τον πολυπλέκτη όσο και με τον αποκωδικοποιητή, και τους οποίους έχετε προσομοιώσει στο μέρος Α. Χρησιμοποιήστε το σχηματικό στο Graphic Editor για καθοδήγηση στο πώς θα ενώσετε τα διάφορα στοιχεία μεταξύ τους. Ετοιμάστε μια εικόνα του διαγράμματος των στοιχείων με τα κατάλληλα καλώδια, χρησιμοποιώντας τα σύμβολα που υπάρχουν στις σελίδες 3, 4 του Εργαστηρίου Λογισμικού 3 και στη σελίδα 3 αυτής της άσκησης.

1. Εισάγεται τα ακόλουθα ολοκληρωμένα στην πλακέτα (breadboard): **74LS153** διπλός (dual) πολυπλέκτης 4-σε-1, **74LS138** αποκωδικοποιητής 3-σε-8, **74LS04** hex inverter και το **74LS20** δύο NAND 4 εισόδων.
2. Σχεδιάστε στο σημειωματάριο σας την **εικόνα της συνδεσμολογίας** που έχετε κάνει για τις δύο διαφορετικές υλοποιήσεις πλήρη αθροιστή 1-bit, του μέρους Α. Χρησιμοποιήστε τους διακόπτες SW2, SW1 και SW0, για τις εισόδους X, Y και Cin, αντίστοιχα, και για τα δύο κυκλώματα. Χρησιμοποιήστε τα LEDs L3, L2, L1 και L0 για να δείξετε τις εξόδους με την σειρά: **Cout_Mux, Cout_Dcd, Sum_Mux** και **Sum_Dcd**.
3. Συνδέστε τα κυκλώματα όπως το διάγραμμα συνδεσμολογίας του βήματος 2.
4. Καθορίστε πειραματικά και καταγράψτε στο σημειωματάριο σας τον πίνακα αληθείας για τις τέσσερις εξόδους, ως συναρτήσεις των εισόδων των διακοπών SW2, SW1 και SW0.
5. Ποια είναι τα σχετικά πλεονεκτήματα και μειονεκτήματα των δύο υλοποιήσεων του αθροιστή; Πόσα ολοκληρωμένα 74LSXX χρειάζονται για την κάθε υλοποίηση;



Λίστα Στοιχείων και Οργάνων

A/A	Qty	Part No	Description
1	1	WK-1	Wire Kit
2	1	74LS04	Hex Inverter
3	1	74LS20	Dual 4-Input NAND Gate
4	1	74LS138	3-to-8 Decoder/Demultiplexer
5	1	74LS153	Dual 4-to-1 Multiplexer
6	1	ETS-7000	Digital – Analog Training System unit