

Τελική Εργασία MIPS-16

Οδηγίες για την Ολοκλήρωση του Μικροεπεξεργαστή

Στο μέρος αυτό της εργαστηριακής άσκησης, θα κληθείτε να συναρμολογήσετε τα διάφορα μέρη του επεξεργαστή που έχετε σχεδιάσει στα προηγούμενα εργαστήρια και να τα συμπεριλάβετε στο σχεδιασμό του ολοκληρωμένου επεξεργαστή MIPS-16. ΠΡΟΣΟΧΗ! Η εργασία αυτή δεν αφορά απλή συναρμολόγηση των επιμέρους κομματιών που σχεδιάσατε ως τώρα. Μην υποτιμήσετε την εργασία αυτή. Αρχίστε όσο το δυνατόν συντομότερα.

Αρχιτεκτονική

Η αρχιτεκτονική του MIPS-16 σας έχει παρουσιαστεί στο πρώτο εργαστήριο. Βεβαιωθείτε ότι έχετε υπόψη τις λειτουργίες του επεξεργαστή. Σημειώστε ποιες από τις λειτουργίες (εντολές) που πρέπει να εκτελεί ο επεξεργαστής έχετε υλοποιήσει μέχρι στιγμής και σε ποιο βαθμό.

Ο τελικός σας σχεδιασμός πρέπει να έχει δύο εισόδους και μία έξοδο. Οι δύο εισοδοί είναι το *clock* και το *clear* που αποτελούν το ρολόι και το σήμα αρχικοποίησης του επεξεργαστή σας αντίστοιχα. Αρχικά, όλα τα σήματα στον επεξεργαστή καθώς και τα στοιχεία μνήμης (πλην της RAM) έχουν ακαθόριστες τιμές. Με την εφαρμογή του σήματος *clear* όλες αυτές οι παράμετροι παίρνουν μηδενική τιμή. Η έξοδος (*output*) είναι πλάτους 16 bits και αποτελεί την έξοδο, όπως περιγράφεται στις λεπτομέρειες της εντολής *halt*. Η τελική υλοποίηση σας θα πρέπει να φορτωθεί στην πλακέτα DE1 της Altera. Οι εισοδοί του σχεδιασμού σας θα συνδεθούν με δύο κουμπιά πίεσης της πλακέτας, ενώ η έξοδος θα πρέπει να συνδεθεί με την διάταξη οθόνων (seven-segment displays). Για σκοπούς δοκιμής του σχεδιασμού σας, θα σας δοθεί η ευκαιρία να δουλέψετε στο εργαστήριο με τις πλακέτες της Altera σε μεταγενέστερο στάδιο και σε ώρες που θα ανακοινωθούν στην ιστοσελίδα του μαθήματος. Στην εξέταση της εργασίας θα σας δοθεί αρχείο περιεχομένων της μνήμης του επεξεργαστή, το οποίο θα περιέχει το πρόγραμμα και τα δεδομένα στο χώρο της στατικής μνήμης για τον έλεγχο της ορθότητας της υλοποίησης σας. Εν τω μεταξύ, για τον έλεγχο του σχεδιασμού σας θα πρέπει να γράψετε τα δικά σας (απλά) προγράμματα. Για περισσότερες πληροφορίες για την μορφή των αρχείων που δέχεται η διάταξη μνήμης στο σχηματικό ανατρέξτε στην βοήθεια του Quartus.

Τρία συστατικά κομμάτια, που αποτελούν σημαντικά μέρη του επεξεργαστή και θα πρέπει να τα υλοποιήσετε στα πλαίσια της εργασίας αυτής, είναι ο Διάδρομος Δεδομένων (Datapath), η Μονάδα Ελέγχου (Control Unit), και η Κυρίως Μνήμη (RAM) του επεξεργαστή. Για το σχεδιασμό και των τριών αυτών κομματιών θα πρέπει να ακολουθήσετε τους σχεδιασμούς που έχετε διδαχθεί στο μάθημα, κάνοντας όμως πάντα τις απαραίτητες προσαρμογές και απλοποιήσεις.

Διάδρομος Δεδομένων (ΔΔ)

Ο διάδρομος δεδομένων είναι ο τρόπος που θα διασυνδεθούν τα διάφορα μέρη του επεξεργαστή. Στο μέρος αυτό πρέπει να καθοριστούν όλα τα σήματα ελέγχου και να

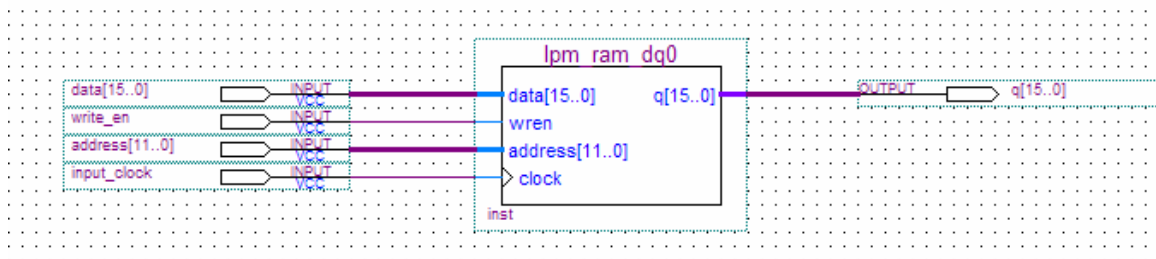
καθοριστούν ποια από αυτά θα είναι είσοδοι και ποια θα είναι έξοδοι στα διάφορα μέρη του επεξεργαστή. Για τον σχεδιασμό του Διάδρομου Δεδομένων δεν πρέπει να περιοριστείτε στα υπάρχοντα κομμάτια σχεδιασμού που έχετε υλοποιήσει μέχρι τώρα. (π.χ. πρέπει να υλοποιήσετε το κομμάτι για sign-extension). Κάθε κομμάτι το οποίο θεωρείτε απαραίτητο θα πρέπει να σχεδιάζετε με τον τρόπο που έχετε διδαχθεί στο εργαστήριο. Έχετε πάντα υπόψη σας ότι δεν μπορείτε να χρησιμοποιείτε τα megafunctions του Quartus, εκτός από αυτά που σάς έχουν ήδη αναφερθεί (π.χ. RAM). Προσέξτε ιδιαίτερα την τοποθέτηση των εξωτερικών σημάτων (clock και clear) και προσέξτε ώστε να καταλήξουν μόνο στα σωστά μέρη του επεξεργαστή. Επίσης, θυμηθείτε ότι ο επεξεργαστής που καλείστε να φτιάξετε είναι πολλαπλών κύκλων (multi-cycle), χωρίς διασωλήνωση (pipelining).

Μονάδα Ελέγχου (ME)

Για την εκτέλεση όλων των πράξεων είναι απαραίτητη η παρουσία ενός μηχανισμού για την αποκωδικοποίηση των εντολών και την ανάθεση των κατάλληλων τιμών στα σήματα ελέγχου που οδηγούν τα διάφορα μέρη. Η μονάδα μπορεί να σχεδιαστεί βάση μιας Μηχανής Πεπερασμένων Καταστάσεων (Finite State Machine), η οποία προκαλεί την παραγωγή της σωστής ακολουθίας σημάτων ελέγχου του επεξεργαστή. Διαθέστε αρκετό χρόνο για τον ορθό σχεδιασμό της μονάδας ελέγχου και σημειώστε όλες τις υποθέσεις που έχετε κάνει κατά τον σχεδιασμό των επιμέρους κομματιών του επεξεργαστή. Ακολουθήστε το σύνολο εντολών (ISA) του επεξεργαστή, ώστε να διασφαλίσετε ότι έχετε λάβει υπόψη όλες τις εντολές που περιλαμβάνει. **Τέλος, κάντε έναν εξαντλητικό έλεγχο στην FSM σας για να διαπιστώσετε την ορθότητά του.** Προχωρήστε στην υλοποίηση του σχεδιασμού σας στο Quartus. Για την υλοποίηση της ME μπορείτε να χρησιμοποιήσετε και VHDL (structural ή behavioral), αντίθετα με τα υπόλοιπα μέρη της εργασίας αυτής.

Σχεδιασμός Κυρίως Μνήμης

Για την υλοποίηση της Κυρίως Μνήμης του επεξεργαστή σας, επιτρέπεται να χρησιμοποιήσετε την `lpm_ram_dq` από τα `megafunctions` του Quartus. Θυμηθείτε ότι η μνήμη του επεξεργαστή που σχεδιάζετε είναι των 4096 θέσεων και το πλάτος της λέξης (word size) είναι 16 bits. Ακολουθείστε τον wizard που παρέχει το Quartus και επιλέξτε σαν οικογένεια συσκευής (device family) αυτή του Cyclone II. Ως είσοδοι της μνήμης θα πρέπει να επιλεγούν μόνο το data και το address. Για την ώρα αφήστε κενό το σημείο που λέει για το ποιο αρχείο πρέπει να χρησιμοποιηθεί για το περιεχόμενο της μνήμης. Το αρχείο θα δοθεί αργότερα και θα περιέχει τον κώδικα που πρέπει να εκτελεί το πρόγραμμά σας. Τα ονόματα εισόδων και εξόδων πρέπει να ακολουθούν αυτά που φαίνονται στο σχήμα που ακολουθεί:



Παραδοτέα – Προθεσμίες

Τα τελικά παραδοτέα της εργασίας αποτελούνται από όλα τα αρχεία σχεδιασμού και προγραμματισμού που έχετε υλοποιήσει, καθώς και μια αναφορά περιγραφής της λειτουργικότητας και της λογικής υλοποίησης που έχετε ακολουθήσει. Συμπεριλάβετε όλες τις θεωρήσεις (παραδοχές) που έχετε κάνει και περιγράψετε την αρχιτεκτονική που υλοποιήσατε (προδιαγραφές και τελική υλοποίηση). Επίσης, σημειώστε τυχόν προβλήματα που αντιμετώπισατε. Η τελική αναφορά θα πρέπει να παραδοθεί στις **30 Απριλίου, 2010**. Η γραπτή εξέταση θα πραγματοποιηθεί στις **16 Μαΐου 2010**. Τα αρχεία σχεδιασμού πρέπει απαραίτητα να παραδοθούν σε ηλεκτρονική μορφή.

Επιπλέον, ενδιάμεσα, θα πρέπει να παραδώσετε το σχεδιασμό (σχηματικό σε έντυπη μορφή από το Quartus) που έχετε κάνει για τον Διάδρομο Δεδομένων, αλλά και την FSM (διάγραμμα καταστάσεων) για τη Μονάδα Ελέγχου. Αυτά τα δύο θα πρέπει να παραδοθούν ως τις **6:00 μμ. της 15^{ης} Απριλίου 2010**. Τα σχήματα αυτά θα πρέπει να συμπεριληφθούν και στην τελική αναφορά στα αντίστοιχα σημεία.

Καλή Δουλεία και Καλή Επιτυχία!