



Πανεπιστήμιο Κύπρου

Τμήμα Ηλεκτρολόγων Μηχανικών
και Μηχανικών Υπολογιστών

ΗΜΥ 407 – Συστήματα Σχεδιασμού με Υπολογιστή για VLSI

Εαρινό Εξάμηνο, 2023

ΣΥΜΒΟΛΑΙΟ ΜΑΘΗΜΑΤΟΣ

Διδάσκουσα: Δρ. Μαρία Κ. Μιχαήλ

Γραφείο: ΗΜΜΥ@Πράσινο Άλσος – Γραφείο 411
& ΚΟΙΟΣ@ΚΟΔ – Κτήριο 02

Τηλ.: 22-892277

Ηλ. Ταχ. : mmichael@ucy.ac.cy

Ωρες γραφείου: με ραντεβού

Διαλέξεις: Δευτέρα-Πέμπτη, 16:30-18:00 @ ΧΩΔ01-105

Εργαστήρια: Τετάρτη, 13:00-15:00 @ ΘΕ01-B141

Βοηθός Διδασκαλίας: Σόλων Φαλάς

Γραφείο: ΚΟΙΟΣ@ΚΟΔ – Κτήριο 03

Ηλ. Ταχ. : falas.solon@ucy.ac.cy

Ωρες γραφείου: με ραντεβού

Ιστοσελίδα Μαθήματος

<http://www.eng.ucy.ac.cy/mmichael/courses/ECE407> -- Γενικές Πληροφορίες

<http://www.ucy.ac.cy/blackboard> -- Υλικό Μαθήματος και Ανακοινώσεις

Σύντομη Περιγραφή

Η ταχεία και συνεχόμενη αύξηση της πολυπλοκότητας των ψηφιακών ολοκληρωμένων κυκλωμάτων καθιστά την χρήση εργαλείων σχεδίασης με υπολογιστή (Computer-Aided Design – CAD) απαραίτητη για την ικανή και αποτελεσματική σχεδίαση τέτοιων μεγάλων ηλεκτρονικών συστημάτων. Αυτό το μάθημα παρέχει μια εισαγωγή στις τεχνικές μοντελοποίησης ψηφιακών συστημάτων σε διάφορα επίπεδα αφαιρετικότητας και των αλγορίθμων για αυτοματοποίηση της διαδικασίας σχεδιασμού που εφαρμόζονται για αυτά τα μοντέλα και υποστηρίζουν τις διάφορες εργασίες σχεδιασμού και ανάλυσης. Τονίζεται ότι αυτό το μάθημα δεν έχει σκοπό την απόκτηση εμπειρίας στην χρήση εργαλείων CAD, αλλά επικεντρώνεται στη μελέτη των θεμελιωδών αλγορίθμων που χρησιμοποιούνται για την ανάπτυξη τέτοιων εργαλείων όπως και στις μεθοδολογίες σχεδιασμού που προάγουν. Το μάθημα θα καλύψει τα ακόλουθα: μοντελοποίηση ψηφιακών συστημάτων για προσομοίωση και αυτοματοποιημένη σύνθεση με χρήση σύγχρονων γλωσσών προγραμματισμού περιγραφής υλικού (VHDL), λογική σύνθεση και βελτιστοποίηση, αυτοματισμός φυσικής σχεδίασης (τοποθέτηση, χωροθέτηση και διασύνδεση) με

αναφορά την τεχνολογία CMOS, έλεγχος (μοντέλα σφαλμάτων, προσομοίωση και παραγωγή ελέγχου), ανάλυση χρονισμού και επαλήθευση.

Στόχος Μαθήματος

Εισαγωγή στις θεμελιώδεις αρχές, αλγόριθμους και μεθοδολογίες σχεδιασμού λογισμικών συστημάτων για αυτοματοποιημένο ηλεκτρονικό σχεδιασμό, ανάλυση, σύνθεση, επαλήθευση και έλεγχο ψηφιακών ολοκληρωμένων συστημάτων πολύ μεγάλης ολοκλήρωσης (VLSI).

Αναμενόμενα Αποτελέσματα Μαθήματος

- Περιεκτική γνώση των διαφόρων φάσεων του σχεδιασμού με βοήθεια Η/Υ (CAD) για ψηφιακά ηλεκτρονικά συστήματα.
- Επίδειξη γνώσης και κατανόησης στις θεμελιώδεις έννοιες και μεθοδολογίες ανάπτυξης εργαλείων CAD.
- Επίδειξη κατανόησης σε αλγόριθμους υπολογισμού και βελτιστοποίησης και στα εργαλεία που εφαρμόζονται για επίλυση προβλημάτων σχετικά με CAD.
- Απόκτηση εμπειρίας στην ανάλυση και ανάπτυξη αλγορίθμων και εργαλείων CAD.

Προαπαιτούμενα

- Σχεδιασμός ψηφιακής λογικής (HMY210, HMY211)
- Δομές δεδομένων (ΕΠΛ 034/035)
- Προγραμματισμός σε C ή C++

Περιεχόμενο Μαθήματος

- Εισαγωγή σε Ολοκληρωμένα Κυκλώματα Ειδικής Εφαρμογής (Application Specific Integrated Circuits -- ASICs) και Αυτοματοποίηση Ηλεκτρονικού Σχεδιασμού (Electronic Design Automation – EDA)
- Στοιχειώδης τεχνολογία CMOS και κανόνες σχεδίασης
- Επισκόπηση μοντελοποίησης υλικού με VHDL
- Στοιχειώδης έννοιες γράφων, αλγορίθμων και ανάλυσης πολυπλοκότητας
- Προσομοίωση
- Σύνθεση υψηλού επιπέδου: διάδρομος δεδομένων και μονάδα ελέγχου
- Σύνθεση λογικού επιπέδου και βελτιστοποίηση για συνδυαστικά και ακολουθιακά κυκλώματα
- Έλεγχος κατασκευής (μοντελοποίηση και προσομοίωση σφαλμάτων, παραγωγή ελέγχου) και σχεδιασμός για εύκολη ελεγχσιμότητα
- Αυτοματισμός φυσικής σχεδίασης (τοποθέτηση, χωροθέτηση και διασύνδεση)
- Ανάλυση χρονισμού
- Επαλήθευση

Σημείωση: Η πιο πάνω λίστα είναι πολύ μεγάλη για να καλυφθεί εις βάθος σε ένα μάθημα! Θα μελετήσουμε θεμελιώδη αρχές που διέπουν το κάθε θέμα και θα ασχοληθούμε εις βάθος μόνο σε επιλεγόμενα θέματα.

Βασικό Σύγγραμμα Μαθήματος

- Βιβλίο: M.J.S. Smith, *Application-Specific Integrated Circuits*, Addison-Wesley Pub Co, 1997 (θα καλυφθούν μόνο επιλεγμένα θέματα)
<http://www-ee.eng.hawaii.edu/~msmith/ASICs/HTML/ASICs.htm#anchor935203>
- Σημειώσεις και σχετικά επιστημονικά άρθρα

Επιπρόσθετη Μελέτη (θα χρησιμοποιηθούν επιλεγόμενα θέματα από τα πιο κάτω)

- P. J. Ashenden, *The Designer's Guide to VHDL*, Morgan Kaufmann, 2nd ed., 2002.
- G. De Micheli, *Synthesis and Optimization of Digital Circuits*, McGraw-Hill, 1994.
- G. Hachtel and F. Somenzi, *Logic Synthesis and Verification Algorithms*, Kluwer, 1998.
- N.A. Sherwani, *Algorithms for VLSI Physical Design Automation*, Kluwer Academic Publishers; 3rd ed., 1999.
- M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI circuits*, Kluwer, 2001.

Χρήση Υπολογιστή

Μοντελοποίηση και προσομοίωση υλικού με VHDL. Στις εργαστηριακές ασκήσεις θα χρησιμοποιηθούν γνωστά εμπορικά (Cadence) και ακαδημαϊκά εργαλεία CAD. Ανάπτυξη εργαλείων λογισμικού με C/C++.

Επικέντρωση στην ανάπτυξη και όχι στην χρήση εργαλείων CAD!

Βαθμολογία

2 Εξετάσεις (~50% της ύλης για κάθε μία)	60%
Εργασία Προγραμματισμού	20%
Ασκήσεις Εργαστηρίου (~4)	20%
Κατ' οίκον Εργασίες (προαιρετικές, για εξάσκηση για τις Εξετάσεις)	0%

Απαραίτητες προϋποθέσεις επιτυχίας στο μάθημα είναι:

- εξασφάλιση συνολικού βαθμού πέραν του 50%
- συμπλήρωση της εργασίας προγραμματισμού

Η διδάσκουσα διατηρεί το δικαίωμα μικρών αλλαγών στην πιο πάνω κατανομή της βαθμολογίας. Επιπλέον, διατηρεί το δικαίωμα οριακής προσαρμογής της βαθμολογίας με βάση την παρακολούθηση και τη συμμετοχή στην τάξη.

Πολιτική – Κανόνες Μαθήματος

- **Βαθμολογία:** Τυχόν ενστάσεις για τη βαθμολόγηση εργασίας/εξέτασης/κτλ θα μπορούν να γίνονται εντός **μίας εβδομάδας** από την επιστροφή της διορθωμένης εργασίας. Ενστάσεις θα γίνονται δεκτές μόνο με ξεκάθαρη περιγραφή του παραπόνου ή της διευκρίνησης που ζητείται. Πρόχειρες και κακογραμμένες εργασίες θα υφίστανται αυτόματη μείωση της βαθμολογίας κατά 20% ή δεν θα γίνονται δεκτές. Επιπλέον, για να δοθούν πλήρως οι μονάδες, πρέπει να φαίνονται όλοι οι υπολογισμοί σας.
- **Εκπρόθεσμες Εργασίες:** Όλες οι εργασίες/κτλ **πρέπει** να παραδίδονται κατά την **έναρξη** του μαθήματος, την ημέρα λήξης της προθεσμίας. Εκπρόθεσμες εργασίες θα υφίστανται αυτόματη μείωση βαθμολογίας 20% για κάθε επιπρόσθετη μέρα καθυστέρησης πέραν της ημερομηνίας λήξης της προθεσμίας. Εργασίες που θα παραδίδονται με καθυστέρηση πέραν των 3^{ων} ημερών δεν θα γίνονται αποδεκτές. Εύλογες παρατάσεις θα πρέπει να διευθετούνται με τη διδάσκουσα πριν από τη λήξη της προθεσμίας. Σε περίπτωση προγραμματισμένης απουσίας, πρέπει να επικοινωνήσετε με τη διδάσκουσα πριν την ημερομηνία της απουσίας.

- **Ακαδημαϊκή Δεοντολογία:** Ενθαρρύνεστε να συνεργάζεστε και να ανταλλάσσετε απόψεις για τις διαλέξεις, τις εργασίες/εργαστήρια/κτλ και την προετοιμασία για τις εξετάσεις. **Ωστόσο, κατά τη σύνταξη των αναφορών σας, το γράψιμο κώδικα και την τεκμηρίωση του, η εργασία πρέπει να είναι αυστηρώς προσωπική.** Εργασίες οι οποίες έχουν σημαντική αλληλοεπικάλυψη συνιστούν παραβίαση της ακαδημαϊκής δεοντολογίας και θα αναφέρονται στο Συμβούλιο του Τμήματος ή ακόμα και στη Σύγκλητο του Πανεπιστημίου. Η διδάσκουσα δύναται να χρησιμοποιεί κατάλληλα εργαλεία λογισμικού για να ελέγχει την ακεραιότητα κάποιας αναφοράς.